



In re PATENT APPLICATION of

Applicant: Yuji FUJIKI

Appl. No.: 10/643,875

Filed: August 20, 2003

For: DATA PROCESSING APPARATUS

Atty. Dkt.: OKI 367

**SUBMISSION
OF PRIORITY
DOCUMENT**


Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 240182/2002, filed August 21, 2002, the rights of priority of which were claimed on August 20, 2003, pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,



Steven M. Rabin - Reg. No. 29,102

RABIN & BERDO, P.C.

Telephone: (202) 371-8976

Telefax: (202) 408-0924

CUSTOMER NO. 23995

June 28, 2004

Date _____

SMR:vm

FEE ENCLOSED: \$0
Please charge any further
fee to our Deposit Account
No. 18-0002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月21日

出 願 番 号
Application Number:

特願2002-240182

[ST.10/C]:

[JP2002-240182]

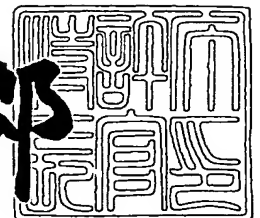
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105321

【書類名】 特許願

【整理番号】 OH003747

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 藤木 裕司

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 10ビット幅の虚数部と10ビット幅の実数部と12ビット幅の未使用部からなる32ビット幅のデータを16ビット幅のメモリに格納する際に、未使用部を削除し、未使用部が存在していた領域に虚数部と実数部を格納するとともに、

データを前記メモリから読み出す際に、式1に基づくアドレスAの、式2に基づくビット位置Bから読み出すことを特徴とするデータ処理装置。

$$A = (a / 2) + [(a / 2) / 4] \quad \cdots (1)$$

$$B = (a / 2) - 4 [(a / 2) / 4] \quad \cdots (2)$$

ただし、aは、10ビット幅の虚数部と10ビット幅の実数部と12ビット幅の未使用部からなる32ビット幅のデータを16ビット幅のメモリに格納する際の論理上のメモリアドレスである。

【請求項 2】 メモリから出力されたデータを格納するとともに、演算論理ユニットに提供するレジスタと、

データが前記メモリから出力された際のメモリアドレスの下位側の2ビットに基づいて、前記レジスタ側からの出力と前記演算論理ユニット側からの出力との混合する組み合わせを変えて混合し、混合した出力を前記メモリへの書き換え用データに置き換える混合回路と、

を有することを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、1ワードのビット幅が標準的な2のn乗ビットでないデータの演算処理を行なうデータ処理装置に関する。

【0002】

【従来の技術】

画像や音声等を出力するまたは加工する装置の中には、画像や音声の品位を向

上させるために、あるいは画像や音声に付加的な情報を添付するために、1ワードのビット幅が標準的な2のn乗ビットでないデータを用いるものがある。このような装置として、例えば、いわゆる第3世代携帯電話や複数階調の画像データを発生する情報処理装置等がある。このような装置は、デジタルシグナルプロセッサ（以下、DSPという）やその他のデータ処理装置を搭載しており、これにより1ワードのビット幅を標準的な2のn乗ビットに変換して様々な演算処理を行なう。

【0003】

以下に、第3世代携帯電話に搭載されるDSPを例にして、従来のデータ処理装置を説明する。

【0004】

第3世代携帯電話は、常に良好な通信が行なえるように、DSPを用いて広い周波数帯域の中からいくつかの特定帯域の信号を抽出する。そして、その中から特に受信感度の高い周波数帯域を選択して通信を行なう。なお、このとき、DSPは、通常、デジタルマッチドフィルタ（以下、DMFという）アルゴリズムと称される手法を用いて特定帯域の信号を抽出するが、この手法自体は本発明の主題に関連しないので、ここでは詳細な説明を省略する。

【0005】

図10は従来のデータ処理装置の構成を示す図、図11は2つのメモリブロックに格納されるデータの配置を示す図である。なお、ここでは、各構成要素間におけるデータの出力処理や演算手段における演算処理を32ビット単位で行なうものとし、また、16ビット幅のメモリを2つ用いて32ビット幅のデータを格納している。

【0006】

図10中、アドレス生成回路9は、後述のメモリ17からデータを読み出すまたはメモリ17にデータを書き込むアドレスを生成する。そして、アドレスを、メモリ17や後述のシフター11に出力する。

【0007】

シフター11は、演算処理を容易化させるために、後述のアクキュムレータ15

やメモリ 17 から出力されるデータを所定ビットシフトして位相の調整を行なう。

【0008】

演算論理ユニット（以下、ALUという）13は、シフター11から出力されるデータや後述のアキュムレータ15から出力されるデータに基づいて、DMF アルゴリズムによる演算を実行する。

【0009】

アキュムレータ15は、ALU13による演算結果を格納するレジスタであり、Acc0とAcc1の2つのブロックからなる。なお、アキュムレータ15に格納された演算結果は、第1のルート23に沿ってメモリ17に出力されるとともに、図示しない制御部の制御に基づいて、所定の演算処理時に第2のルート25に沿ってALU13に出力され、そこで後続の演算処理に供される。

【0010】

メモリ17は、所定ビット（図11に示す従来例では16ビット）幅の第1のメモリブロック19と第2のメモリブロック21を備え、外部から入力されるデータを格納する。またALU13側にデータを出力してALU13に演算処理を実行させ、これによる演算結果をALU13側から受け取って格納する。図11に示す従来例では、メモリ17は、10ビット幅の虚数部（以下、Iパートデータという）と実数部（以下、Rパートデータという）の、2つのデータからなる演算結果を格納している。

【0011】

ところで、メモリ17は、Iパートデータを第1のメモリブロック19に、Rパートデータを第2のメモリブロック21に格納している。第1のメモリブロック19と第2のメモリブロック21のビット幅は、それぞれ16ビットである。これに対し、IパートデータとRパートデータのビット幅は、それぞれ10ビットである。そのため、第1のメモリブロック19と第2のメモリブロック21の各段には6ビット幅の空き領域が生じる。そこで、メモリ17は、各段のデータの構成が同じになるように、演算処理に不必要な6ビット幅のデータを第1のメモリブロック19と第2のメモリブロック21の空き領域（以下、空き領域を未

使用部という)に格納する。

【0012】

なお、従来のDSPは16ビット幅の第1のメモリブロック19と第2のメモリブロック21を32ビット幅のALU13に接続しているが、これは乗算演算により演算幅が増大した場合に対応するためである。また、第1のメモリブロック19と第2のメモリブロック21は、16ビット幅に限らず、4や32等、2のn乗ビット幅にすることも可能である。ただし、現時点では、16ビット幅のメモリが広く普及している上、コストも安いので、DSPのコストを低減させるには16ビット幅のものが望ましい。

【0013】

【発明が解決しようとする課題】

従来のデータ処理装置は、一度に16ビットのデータをメモリ17からALU13に出力する。しかしながら、演算処理に用いるデータは、そのうちの10ビット分だけである。そのため、従来のデータ処理装置は、一度に6ビットのデータを無駄にALU13に出力していた。

【0014】

またALU13は32ビット幅の演算器(図示せず)を内蔵するが、ALU13は、そのうちの10ビット幅分しか使用していない。そのため、従来のデータ処理装置は、22ビット幅分の演算器を無駄にしていた。

【0015】

これを解決するために、バスの幅を2倍(32ビット)にして、32ビットのデータをメモリ17からALU13に出力するとともに、演算器を上位16ビットと下位16ビットに分割して並列的に演算する手法がある。しかしながら、この手法においても、メモリの使用量は、16ビット幅のメモリに対して10ビット分だけである。そのため、従来のデータ処理装置は、6ビット分のメモリを無駄にしていた。

【0016】

このように、従来のデータ処理装置は、1ワードが標準的なビット幅でないデータを用いて演算処理する場合に、IパートデータとRパートデータの間に未使

用部を配置しているため A L U 1 3 に内蔵される演算器やメモリ 1 7 の使用に無駄が発生し、演算能力やメモリを有効に活用できないという問題点があった。

【 0 0 1 7 】

【課題を解決するための手段】

上記課題を解決するために本発明に係るデータ処理装置は、10ビット幅の虚数部と10ビット幅の実数部と12ビット幅の未使用部からなる32ビット幅のデータを16ビット幅のメモリに格納する際に、未使用部を削除し、未使用部が存在していた領域に虚数部と実数部を格納するとともに、データを前記メモリから読み出す際に、式1に基づくアドレスAの、式2に基づくビット位置Bから読み出すことを特徴とする。

【 0 0 1 8 】

$$A = (a / 2) + [(a / 2) / 4] \quad \cdots (1)$$

$$B = (a / 2) - 4 [(a / 2) / 4] \quad \cdots (2)$$

ただし、aは、10ビット幅の虚数部と10ビット幅の実数部と12ビット幅の未使用部からなる32ビット幅のデータを16ビット幅のメモリに格納する際の論理上のメモリアドレスである。

【 0 0 1 9 】

また、他の発明に係るデータ処理装置は、メモリから出力されたデータを格納するとともに、A L U に提供するレジスタと、データが前記メモリから出力された際のメモリアドレスの下位側の2ビットに基づいて、前記レジスタ側からの出力と前記A L U 側からの出力との混合する組合せを変えて混合し、混合した出力を前記メモリへの書き換え用データに置き換える混合回路と、を有することを特徴とする。

【 0 0 2 0 】

【発明の実施の形態】

以下に、第3世代携帯電話に搭載されるD S P を例にして、図面を参照して本発明の実施の形態を説明する。なお、各図はこの発明を理解できる程度に概略的に示してあるにすぎない。また、各図において、共通する要素については、同一の符号を付し、説明を省略する。

【 0 0 2 1 】

図 1 は本発明に係るデータ処理装置の構成を示す図、図 2 は論理アドレス空間を示す図、図 3 は物理アドレス空間を示す図、図 4 は論理アドレス対物理アドレスの関係を示す図表、図 5 はシフト量を示す図表、図 6 は混合回路の構成を示す図、図 7 ～ 9 は混合回路のシフト動作を示す図である。

【 0 0 2 2 】

なお、本実施の形態に係るデータ処理装置（すなわち、DSP）は、偶数のアドレスを第 1 のメモリブロック 1 9 に格納し、奇数のアドレスを第 2 のメモリブロック 2 1 に格納している。そのため、DSP は第 1 のメモリブロック 1 9 と第 2 のメモリブロック 2 1 に同時にアクセスすることができ、メモリ 1 7 は一度に 3 2 ビットのデータを出力することができる。

【 0 0 2 3 】

図 1 に示す DSP は、従来の構成に対し、アドレス変換回路 3 1、セレクト信号生成回路 3 3、混合回路 3 5 が付加されている。

【 0 0 2 4 】

本実施の形態では、ALU 1 3 が扱うデータ空間（以下、論理アドレス空間という）とメモリ 1 7 上のデータ空間（以下、物理アドレス空間という）と区別して処理するようにした。また、論理アドレス空間上のアドレス（以下、論理アドレスという）から物理アドレス空間上のアドレス（以下、物理アドレスという）の変換が簡易に行なえるようにアドレス変換回路 3 1 を設けている。

【 0 0 2 5 】

また、ALU 1 3 が読み出したデータは、参照されたデータの一部のみ書き替えられなくてはならない。例えば、ALU 1 3 が 1 行目のデータを読み出した場合に、ALU 1 3 による演算結果を 1 行目に格納することになるが、このとき I パートデータ I (1) と R パートデータ R (1) は次の演算処理で必要となるので、一時保存しておく必要がある。そこで、本実施の形態では、参照したデータの一部を保存するとともに、ALU 1 3 による演算結果とマージしてメモリ 1 7 に書き戻す混合回路 3 5 を設けている。

【 0 0 2 6 】

更に、演算処理はALU13が簡易に行なえることが望ましい。そこで、本実施の形態では、演算処理に用いるデータの位置が一定になるように、シフト量を論理アドレスから簡易に算出できるようにした。

【0027】

アドレス変換回路31は、メモリアドレス生成回路9から出力されるアドレスにそれを2ビットシフトした値を加算して、メモリ17からデータを読み出すまたはメモリ17にデータを書き込む際に実際に用いるアドレスを生成する。なお、アドレス生成回路9から出力されるアドレスを本実施の形態では論理アドレスと呼び、生成したアドレスを物理アドレスと呼ぶ。

【0028】

セレクト信号生成回路33は、データを所定ビットシフトして位相の調整を指示するあるいは内部回路の切り替えを指示するセレクト信号を生成し、それをシフター11や混合回路35に供給する。シフター11は、セレクト信号を受け取ることにより、データの先頭が0ビット目になるように、データを所定ビットシフトして位相を調整する。また混合回路35は、セレクト信号を受け取ることにより、データが元のビット位置（データがメモリ17から読み出された際のビット位置）になるように、位相を調整する。なお、本実施の形態では、セレクト信号としてデータのLSB側の2ビットを用いる。

【0029】

論理アドレスは、図2に示すように、10ビット幅のIパートデータとRパートデータとが連続し、その後に12ビット幅の未使用部が続くように構成されている。これに対して、物理アドレスは、図3に示すように、10ビット幅のIパートデータとRパートデータとが連続し、その後にIパートデータとRパートデータとが続くように構成されている。

【0030】

物理アドレスでは、12ビット幅の未使用部が削除され、その代わりに未使用部が存在していた領域に10ビット幅のIパートデータとRパートデータとが挿入される。そのため、論理アドレスと物理アドレスは、以下のような関係にある。

【0031】

すなわち、物理アドレスは、論理アドレスにそれを2ビットシフトした値を加算した値となる。

【0032】

図4は、論理アドレスと物理アドレスのオフセット量を示している。すなわち、例えば、論理アドレス空間におけるIパートデータの先頭が存在するアドレスと、これに対応する物理アドレス空間におけるIパートデータの先頭が存在するアドレスとの関係を示している。物理アドレス空間におけるIパートデータの先頭が存在するアドレスは、論理アドレス空間におけるIパートデータの先頭が存在するアドレスに応じて変化する。例えば、図4に示すように、論理アドレス空間におけるIパートデータI0～I9の先頭が存在しているアドレス0, 2, 4, 6, 8, 10, 12, 14, 16, 18…は、物理アドレス空間においてはアドレス0, 1, 2, 3, 5, 6, 7, 8, 10, 11…となる。この関係を計算式で表現すると、以下の式1のようになる。

【0033】

$$A = (a / 2) + [(a / 2) / 4] \quad \dots (1)$$

ただし、Aは物理アドレス、aは10ビット幅の虚数部と10ビット幅の実数部と12ビット幅の未使用部からなる32ビット幅のデータを16ビット幅のメモリに格納する際の論理上のメモリアドレス、[x]はxを越えない最大整数を意味するガウス記号である。

【0034】

また、図5は、論理アドレスと、参照したデータの基準位置（図5に示す例の場合、論理アドレスにおけるIパートデータInの先頭は0ビット目になる）からのシフト量の関係を示している。すなわち、例えば、論理アドレス空間におけるIパートデータの先頭のビット位置と物理アドレス空間におけるIパートデータの先頭のビット位置のシフト量の関係を示している。シフト量は、論理アドレス空間におけるIパートデータの先頭が存在するアドレスによって変化する。例えば、図5に示すように、論理アドレス空間におけるIパートデータI0～I9の先頭のビット位置0, 2, 4, 6, 8, 10, 12, 14, 16, 18…は、

物理アドレス空間においてはアドレス 0, 4, 8, 12, 0, 4, 8, 12, 0, 4…となる。この関係を計算式で表現すると、以下の式 2 のようになる。

【0035】

$$B = (a / 2) - 4 \left[(a / 2) / 4 \right] \dots (2)$$

ただし、B は物理アドレス空間におけるビット位置、a は 10 ビット幅の虚数部と 10 ビット幅の実数部と 12 ビット幅の未使用部からなる 32 ビット幅のデータを 16 ビット幅のメモリに格納する際の論理上のメモリアドレス、 $[x]$ は x を越えない最大整数を意味するガウス記号である。

【0036】

なお、この関係は、論理アドレスの最下位ビット（以下、LSB という）側の 2 ビットの 4 倍に相当する。

【0037】

この関係を、例えば、DSP が I パートデータ I 6 と R パートデータ R 6 からなるデータを読み出す場合を例にして以下に説明する。

【0038】

すなわち、I パートデータ I 6 と R パートデータ R 6 からなるデータの先頭は、論理アドレス空間上では論理アドレス 12 に存在するが、物理アドレス空間上では物理アドレス 7 に存在する。そこで、DSP は、図 4 に示す論理アドレス対物理アドレスの関係に基づいて、I パートデータ I 6 と R パートデータ R 6 からなるデータの先頭が物理アドレス空間上では物理アドレス 7 に存在することを割り出し、メモリ 17 の物理アドレス 7 から I パートデータ I 6 と R パートデータ R 6 からなるデータを読み出す。

【0039】

このとき、DSP は、ALU 13 における演算処理を容易化させるために、図 5 に示す論理アドレス対シフト量の関係に基づいて、メモリ 17 から読み出すデータを所定ビットシフトして位相の調整を行なう。例えば、I パートデータ I 6 の先頭は物理アドレス 7 の 0 ビット目から数えて 8 ビット目の位置に存在するので、DSP は、シフター 11 により I パートデータ I 6 を右方向に 8 ビットシフトする。

【 0 0 4 0 】

アドレス変換回路 3 1 は、このような関係に従って、メモリ 1 7 から読み出すまたはメモリ 1 7 に格納するデータのアドレスを変換する。また、セレクト信号生成回路 3 3 は、このような関係に従って、メモリ 1 7 から読み出したデータの中から演算処理に用いる部分を切り出す位置を決定する。

【 0 0 4 1 】

混合回路 3 5 は、第 1 のルート 2 3 に沿って A L U 1 3 側から出力される演算結果と第 3 のルート 2 3 ' に沿ってメモリ 1 7 側から出力されるデータとを混合する。

【 0 0 4 2 】

以下に、混合回路 3 5 の動作を説明する。

【 0 0 4 3 】

混合回路 3 5 は、図 6 に示すように、いわばレジスタとセレクトタの集合体のような構成になっている。

【 0 0 4 4 】

すなわち、混合回路 3 5 は、第 1 のメモリブロック 1 9 から読み出されたリードデータ [1 1 : 0] (すなわち、ビット位置 0 ~ 1 1 までの 1 2 ビットのデータ) が入力される 4 ビット幅の 3 つのレジスタからなる第 1 のレジスト群 4 1 と、A L U 1 3 (または A c c 1 5) 側から出力される 3 2 ビット幅のデータが入力される 4 ビット幅の 8 つのレジスタからなる第 2 のレジスト群 4 3 と、第 2 のメモリブロック 2 1 から読み出されたリードデータ [1 5 : 4] (すなわち、ビット位置 4 ~ 1 5 までの 1 2 ビットのデータ) が入力される 4 ビット幅の 3 つのレジスタからなる第 3 のレジスト群 4 5 とを備えている。

【 0 0 4 5 】

また、混合回路 3 5 は、第 1 のレジスト群 4 1 の 3 つのレジスタと第 2 のレジスト群 4 3 の中の最上位ビット (以下、M S B という) 側の 3 つのレジスタとが、セレクトタを介して接続されている。また、第 2 のレジスト群 4 3 の中の各レジスタは、L S B 側から M S B 側にかけて 4 つづつ、セレクトタを介して接続されている。また、第 2 のレジスト群 4 3 の中の L S B 側の 3 つのレジスタと第 3 のレ

レジスタ群 4 5 の 3 つのレジスタとが、セレクトを介して接続されている。そして、各セレクトは、セレクト信号生成回路 3 3 と接続されており、そこからセレクト信号を受け取ることになる。本実施の形態では、セレクト信号として、論理アドレスの L S B 2 ビットを用いている。各セレクトは、セレクト信号生成回路 3 3 から論理アドレスの L S B 2 ビットが供給されると、その内容に応じて回路の切り替えを行なう。

【 0 0 4 6 】

混合回路 3 5 は、例えば図 7 ～ 9 に示すように動作する。

【 0 0 4 7 】

(動作例 1 : D S P が論理アドレス 0 (I 0 , R 0) をアクセスした場合)

D S P が論理アドレス 0 (I 0 , R 0) をアクセスした場合、論理アドレスの L S B 2 ビットの値は 0 0 である。そのため、図 4 に示す論理アドレス対物理アドレスの関係から物理アドレスは 0 となる。このとき、混合回路 3 5 は、図 7 に示すように第 2 のレジスタ群 4 3 の M S B 側の 1 ～ 5 番目のレジスタからの出力と第 3 のレジスタ群 4 5 の 3 つのレジスタからの出力とを混合することになる。

【 0 0 4 8 】

なお、動作例 1 において、D S P は以下のように動作する。

【 0 0 4 9 】

まず、D S P は、第 1 及び第 2 のメモリブロック 1 9 , 2 1 の物理アドレス 0 と 1 から I パートデータ I 0 と R パートデータ R 0 を読み出す。このときのシフター 1 1 のシフト量は、論理アドレスの L S B 2 ビットの値が 0 0 であるので、0 となる。そのため、A L U 1 3 にはリードデータである I パートデータ I 0 と R パートデータ R 0 がそのまま入る。一方、混合回路 3 5 でも、論理アドレスの L S B 2 ビットの値が 0 0 となり、保存するリードデータの一部であるデータ (1) を生成する。このとき生成するデータ (1) は I 1 [9 : 0] と R 1 [1 : 0] となる。I 1 [9 : 0] と R 1 [1 : 0] は以降の演算処理で使用するため、I 1 [9 : 0] と R 1 [1 : 0] が格納されている第 2 のメモリブロック 2 1 の 4 ～ 1 5 ビット目はこの段階では上書きされてはならない。

【 0 0 5 0 】

次に、DSPは、IパートデータI0、RパートデータR0と他のデータとの演算処理を実行し、更新データ(2)を生成する。この後、DSPは、IパートデータI0とRパートデータR0の更新データ(2)をAcc15から出力する。次に、混合回路35は、データ(1)と更新データ(2)を組み合わせ、第1及び第2のメモリブロック19、21の上書き用のライトデータ(3)を生成する。

【0051】

(動作例2：DSPが論理アドレス1(I1, R1)をアクセスした場合)

DSPが論理アドレス1(I1, R1)をアクセスした場合、論理アドレスのLSB2ビットは01である。そのため、図4に示す論理アドレス対物理アドレスの関係から物理アドレスは1となる。このとき、混合回路35は、図8に示すように第1のレジスタ群41のMSB側の1番目のレジスタからの出力と第2のレジスタ群43のMSB側の1～5番目のレジスタからの出力と第3のレジスタ群45のLSB側の1～2番目のレジスタからの出力とを混合することになる。

【0052】

なお、動作例2において、DSPは以下のように動作する。

【0053】

まず、DSPは、第1及び第2のメモリブロック19、21の物理アドレス1と2からIパートデータI1とRパートデータR1を読み出す。このときのシフター11のシフト量は、論理アドレスのLSB2ビットの値が01であるので、4となる。そのため、ALU13にはリードデータであるIパートデータI1とRパートデータR1を4ビット右にシフトした値が入る。一方、混合回路35でも、論理アドレスのLSB2ビットの値が01となり、保存するリードデータの一部であるデータ(4)を生成する。このとき生成するデータ(4)はI2[7:0]とR2[9:0]となる。I2[7:0]とR2[9:0]は、以降の演算処理で使用するため、I2[7:0]とR2[9:0]が格納されている第1のメモリブロック19の8～15ビット目と第2のメモリブロック21の0～11ビット目はこの段階では上書きされてはならない。

【0054】

次に、DSPは、IパートデータI1、RパートデータR1と他のデータとの演算処理を実行し、更新データ(5)を生成する。この後、DSPは、IパートデータI1とRパートデータR1の更新データ(5)をAcc15から出力する。次に、混合回路35は、データ(4)と更新データ(5)を組み合わせ、第1及び第2のメモリブロック19、21の上書き用のライトデータ(6)を生成する。

【0055】

(動作例3：DSPが論理アドレス3(I3, R3)をアクセスした場合)

DSPが論理アドレス3(I3, R3)をアクセスした場合、論理アドレスのLSB2ビットの値は11である。そのため、図4に示す論理アドレス対物理アドレスの関係から物理アドレスは3となる。このとき、混合回路35は、図9に示すように第1のレジスタ群41の3つのレジスタからの出力と第2のレジスタ群43のMSB側の1～5番目のレジスタからの出力とを混合することになる。

【0056】

なお、動作例3において、DSPは以下のように動作する。

【0057】

まず、DSPは、第1及び第2のメモリブロック19、21の物理アドレス3と4からIパートデータI3とRパートデータR3を読み出す。このときのシフター11のシフト量は、論理アドレスのLSB2ビットの値が11であるので、12となる。そのため、ALU13にはリードデータであるIパートデータI3とRパートデータR3を12ビット右にシフトした値が入る。一方、混合回路35でも、論理アドレスのLSB2ビットの値が11となり、保存するリードデータの一部分であるデータ(7)を生成する。このとき生成するデータ(7)はI4[9:0]とR4[5:0]となる。I4[9:0]とR4[5:0]は、以降の演算処理で使用するため、I4[9:0]とR4[5:0]が格納されている第2のメモリブロック21の0～15ビット目はこの段階では上書きされていない。

【0058】

次に、DSPは、IパートデータI3、RパートデータR3と他のデータとの

演算処理を実行し、更新データ(8)を生成する。この後、DSPは、IパートデータI3とRパートデータR3の更新データ(8)をAcc15から出力する。次に、混合回路35は、データ(7)と更新データ(8)を組み合わせ、第1及び第2のメモリブロック19, 21の上書き用のライトデータ(9)を生成する。

【0059】

混合回路35は、このように動作する。そのため、DSPは、演算処理する際に、演算対象データが同じビット位置に格納されるので、不必要なシフト処理を行なう必要がなくなり、プログラムの高速化を達成することができる。

【0060】

以上説明した本発明には、10ビット幅のデータを16ビット幅のメモリでも空き領域なしで構成でき、メモリの使用量を向上させることができるという効果がある。また、本発明は、従来の装置に、アドレス変換回路31、セレクト信号生成回路33、混合回路35を付加しただけであるので、回路規模の増大も少ない。

【0061】

なお、本発明は上記の実施の形態に限定されることなく、本発明の要旨を逸脱しない範囲で種々の応用及び変形が考えられる。

【0062】

【発明の効果】

以上説明した本発明には、10ビット幅のデータを16ビット幅のメモリでも空き領域なしで構成でき、メモリの使用量を向上させることができるという効果がある。

【図面の簡単な説明】

【図1】

本発明に係るデータ処理装置の構成を示す図である。

【図2】

論理アドレス空間を示す図である。

【図3】

物理アドレス空間を示す図である。

【図 4】

論理アドレス対物理アドレスの関係を示す図表である。

【図 5】

シフト量を示す図表である。

【図 6】

混合回路の構成を示す図である。

【図 7】

混合回路のシフト動作を示す図である。

【図 8】

混合回路のシフト動作を示す図である。

【図 9】

混合回路のシフト動作を示す図である。

【図 1 0】

従来のデータ処理装置の構成を示す図である。

【図 1 1】

2つのメモリブロックに格納されるデータの配置を示す図である。

【符号の説明】

9 アドレス生成回路

1 1 シフター

1 3 A L U

1 5 アキュムレータ

1 7 メモリ

1 9 第 1 のメモリブロック

2 1 第 2 のメモリブロック

2 3 第 1 のルート

2 3' 第 3 のルート

2 5 第 2 のルート

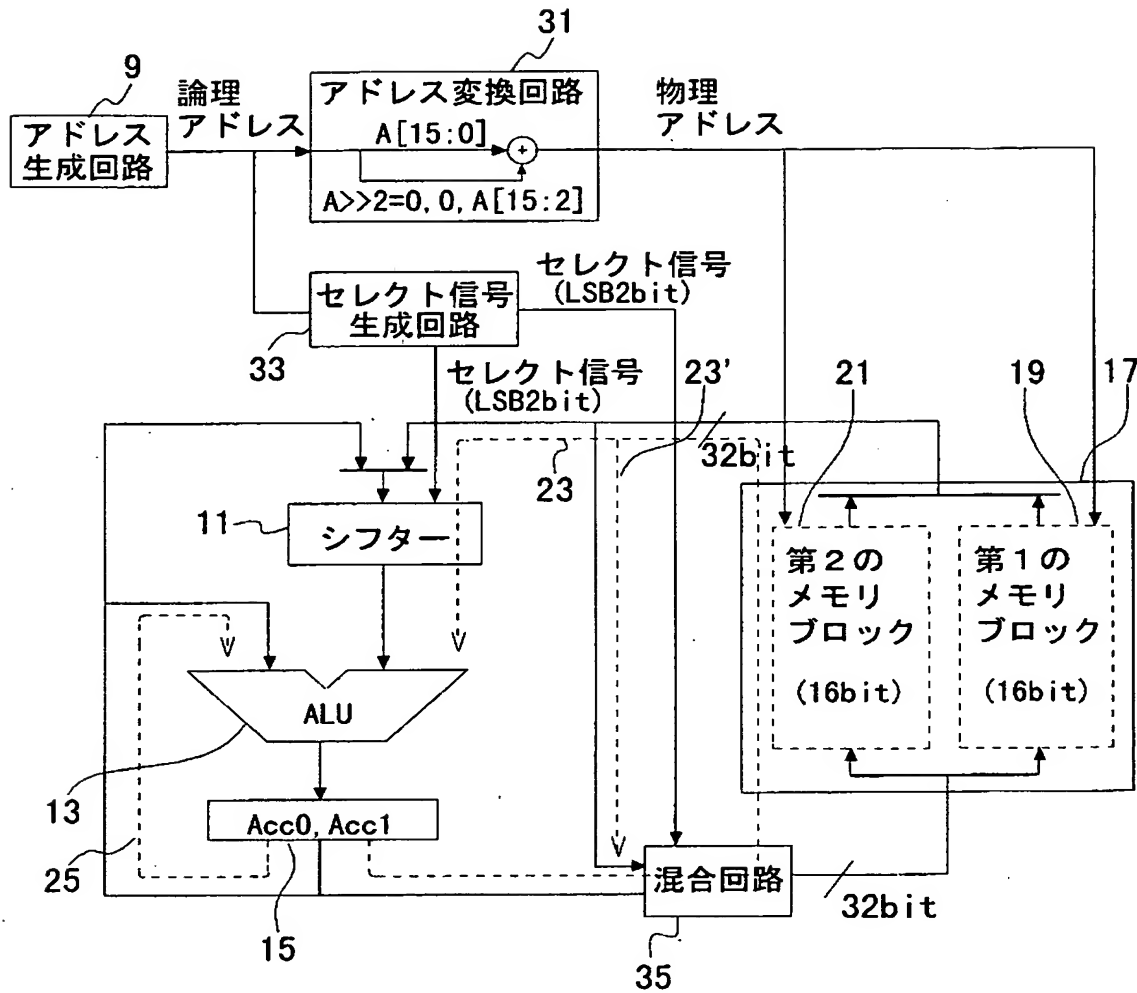
3 1 アドレス変換回路

3 3 セレクト信号生成回路

3 5 混合回路

【書類名】 図面

【図 1】



本発明に係るデータ処理装置の構成を示す図

【図 2】

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0			R0[5:0]									10[9:0]				
2			R1[5:0]									11[9:0]				
4			R2[5:0]									12[9:0]				
6			R3[5:0]									13[9:0]				
8			R4[5:0]									14[9:0]				
10			R5[5:0]									15[9:0]				
12			R6[5:0]									16[9:0]				
14			R7[5:0]									17[9:0]				
16			R8[5:0]									18[9:0]				
18			R9[5:0]									19[9:0]				

第1のメモリブロック

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1							未使用データ							R0[9:6]		
3							未使用データ							R1[9:6]		
5							未使用データ							R2[9:6]		
7							未使用データ							R3[9:6]		
9							未使用データ							R4[9:6]		
11							未使用データ							R5[9:6]		
13							未使用データ							R6[9:6]		
15							未使用データ							R7[9:6]		
17							未使用データ							R8[9:6]		
19							未使用データ							R9[9:6]		
							未使用データ									
							未使用データ									

第2のメモリブロック

論理アドレス空間を示す図

【図 3】

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	R1[1:0]															
3	I3[3:0]	▲														
5	R4[5:0]															
7	I6[7:0]	▲														
9	R7[9:0]															
11	R9[1:0]															
13	I11[3:0]	▲														

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0			R0[5:0]													
2			I2[7:0]	▲												
4			R3[9:0]													
6	R5[1:0]		I5[9:0]													
8	I7[3:0]	▲														
10	R8[5:0]															
12			I10[7:0]	▲												

第2のメモリブロック

第1のメモリブロック

▲:Ixの先頭アドレス

物理アドレス空間を示す図

【図 4】

論理アドレス(a)	計算式:論理アドレス+(論理アドレス)>>2	物理アドレス(A)
0	$0/2 + [(0/2)/4] = 0 + 0 = 0$	0
2	$2/2 + [(2/2)/4] = 1 + 0 = 1$	1
4	$4/2 + [(4/2)/4] = 2 + 0 = 2$	2
6	$6/2 + [(6/2)/4] = 3 + 0 = 3$	3
8	$8/2 + [(8/2)/4] = 4 + 1 = 5$	5
10	$10/2 + [(10/2)/4] = 5 + 1 = 6$	6
12	$12/2 + [(12/2)/4] = 6 + 1 = 7$	7
14	$14/2 + [(14/2)/4] = 7 + 1 = 8$	8
16	$16/2 + [(16/2)/4] = 8 + 2 = 10$	10
18	$18/2 + [(18/2)/4] = 9 + 2 = 11$	11

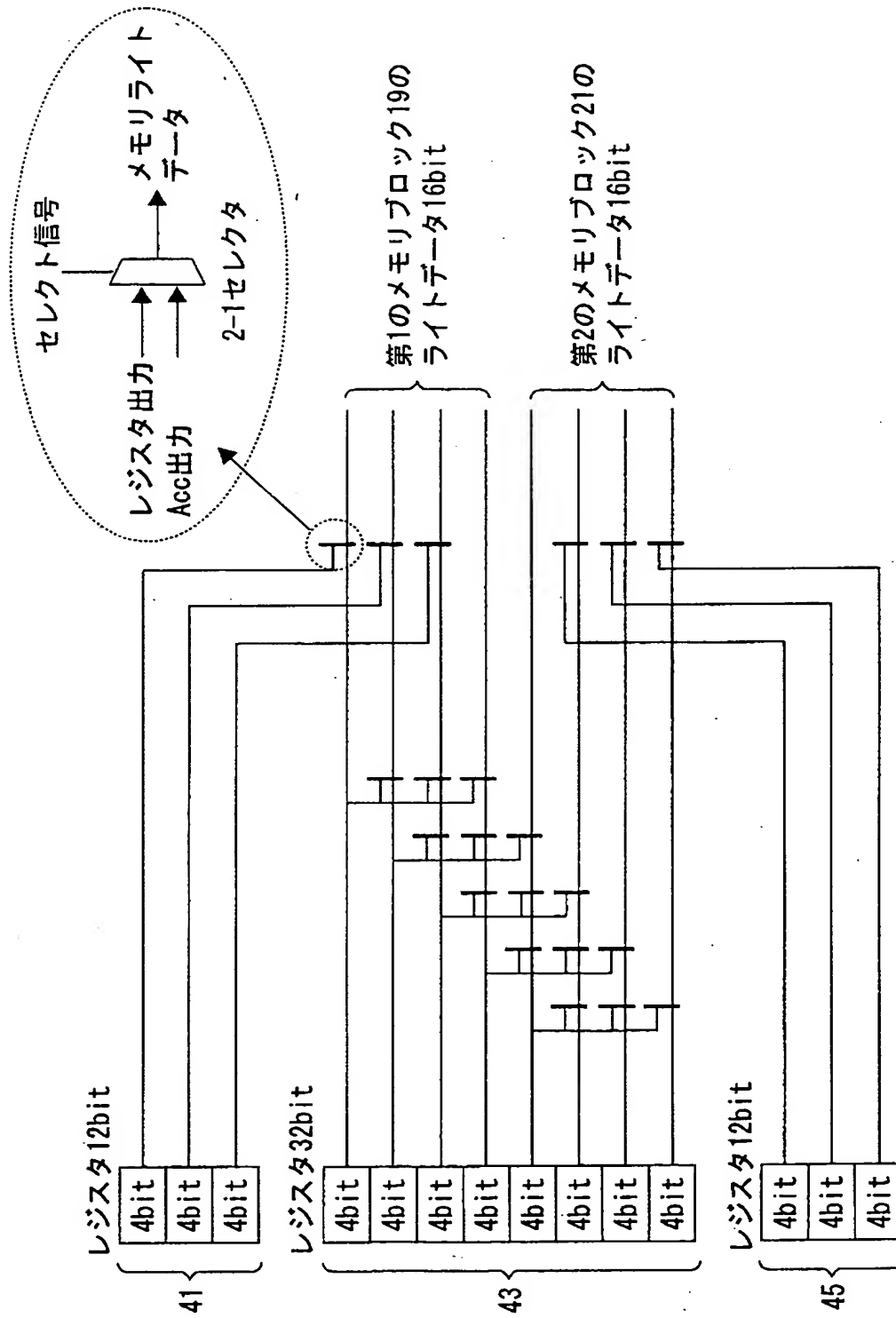
論理アドレス対物理アドレスの関係を示す図表

【図 5】

論理アドレス(a)	LSB 2bit	計算式: LSB2bit × 4	シフト量(B)
0	0	$0 \times 4 = 0$	0
2	1	$1 \times 4 = 4$	4
4	2	$2 \times 4 = 8$	8
6	3	$3 \times 4 = 12$	12
8	0	$0 \times 4 = 0$	0
10	1	$1 \times 4 = 4$	4
12	2	$2 \times 4 = 8$	8
14	3	$3 \times 4 = 12$	12
16	0	$0 \times 4 = 0$	0
18	1	$1 \times 4 = 4$	4

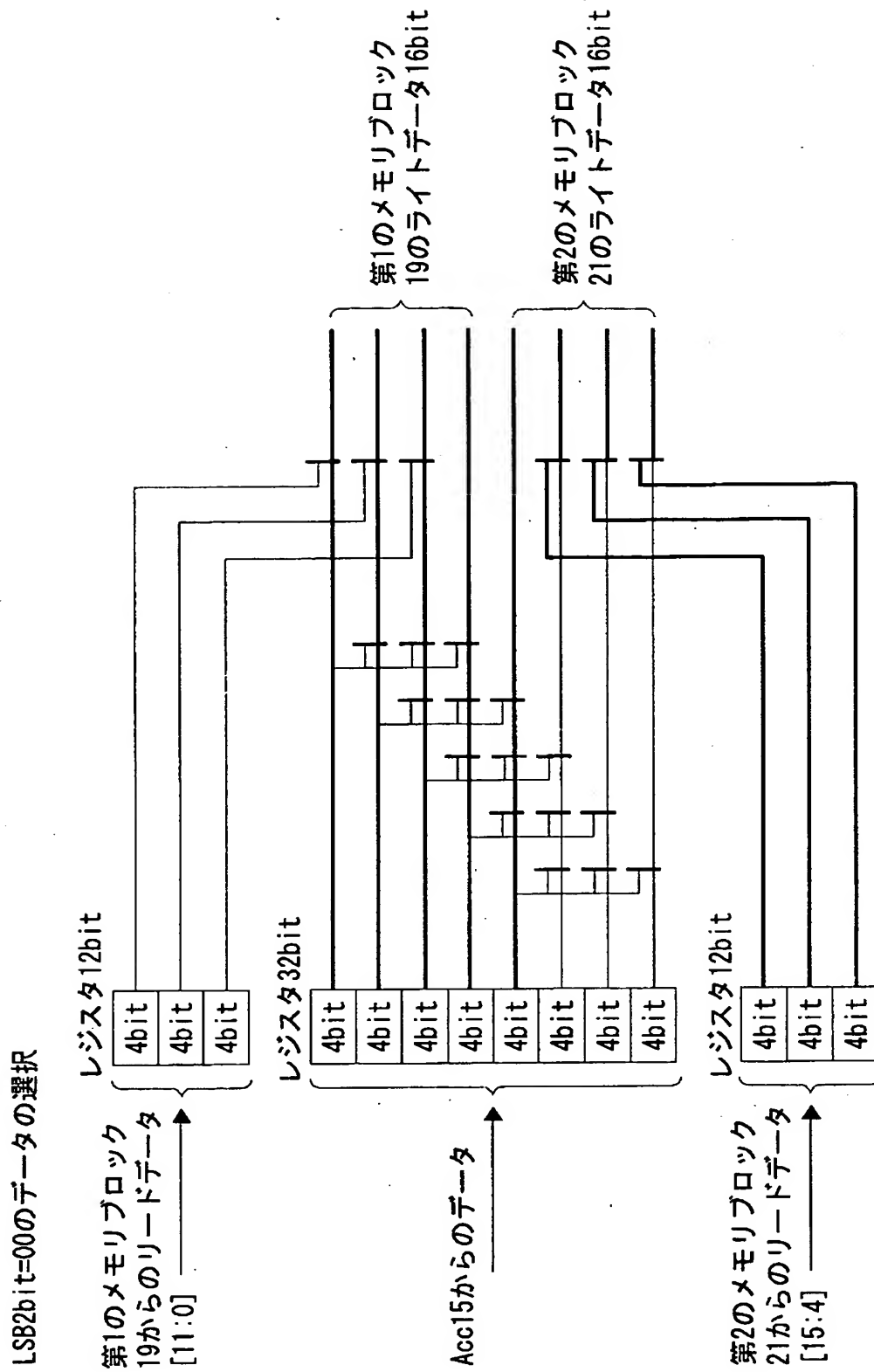
論理アドレス対シフト量を示す図表

【図 6】



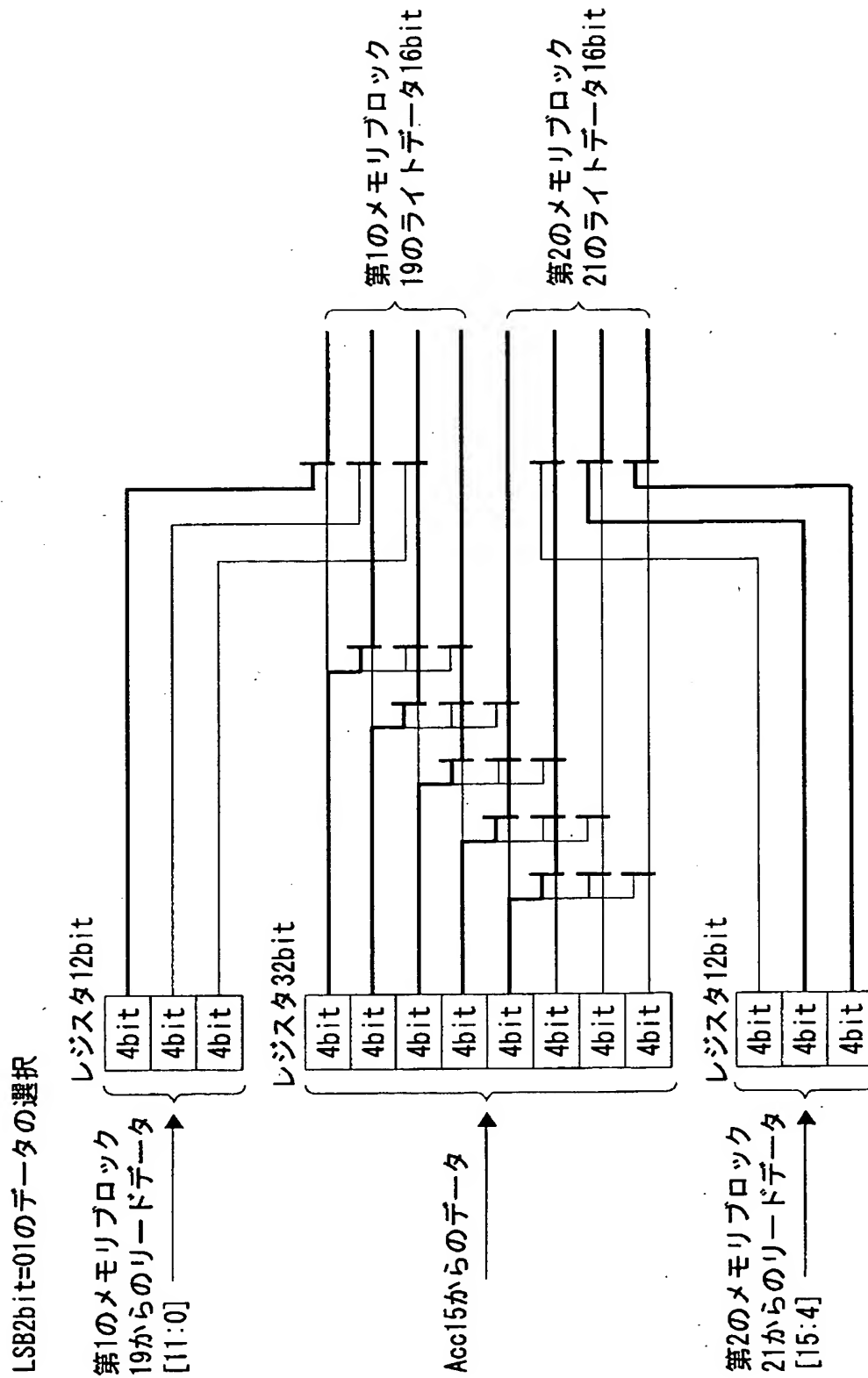
混合回路の構成を示す図

【図 7】



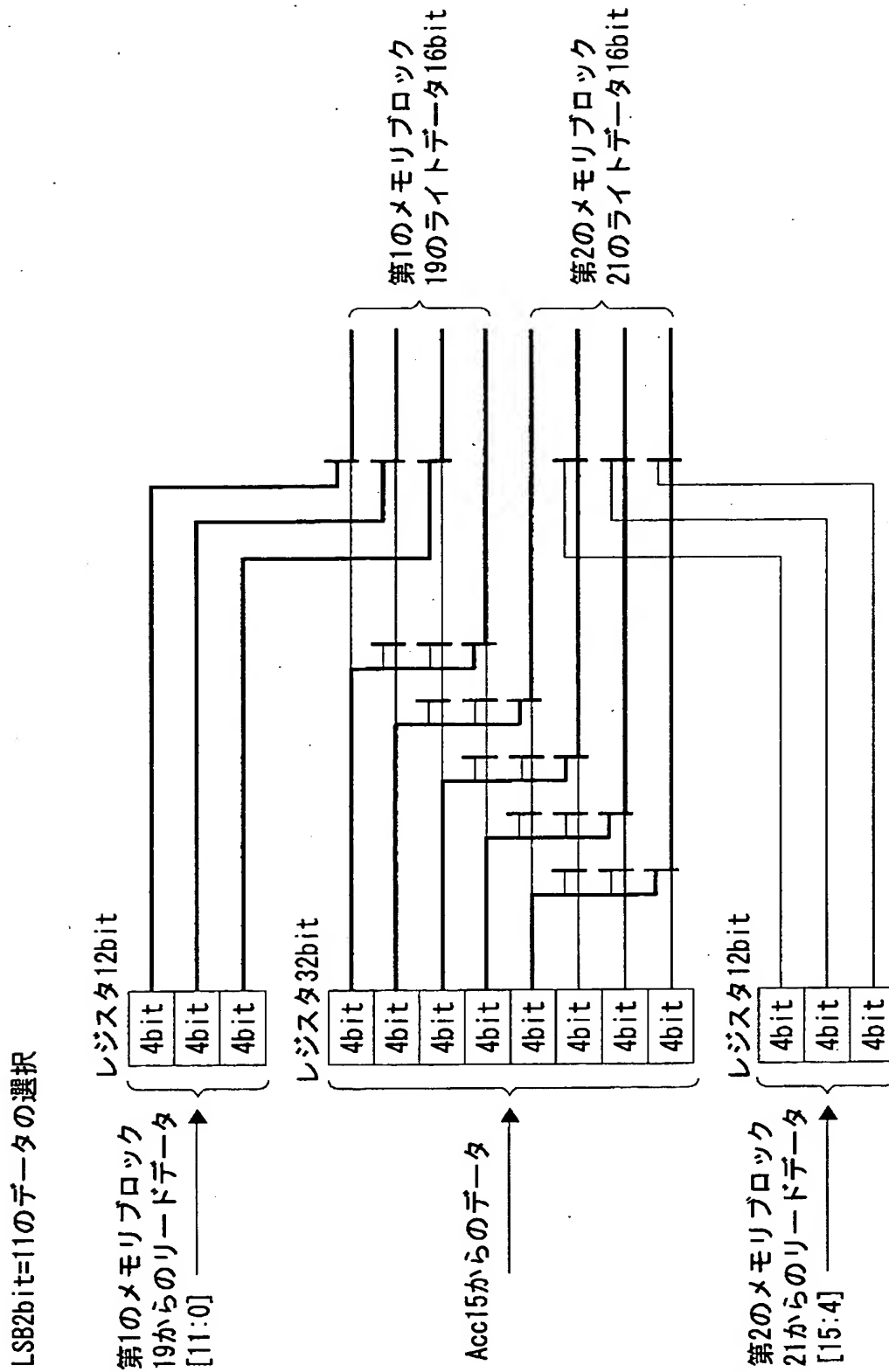
混合回路のシフト動作を示す図

【図 8】



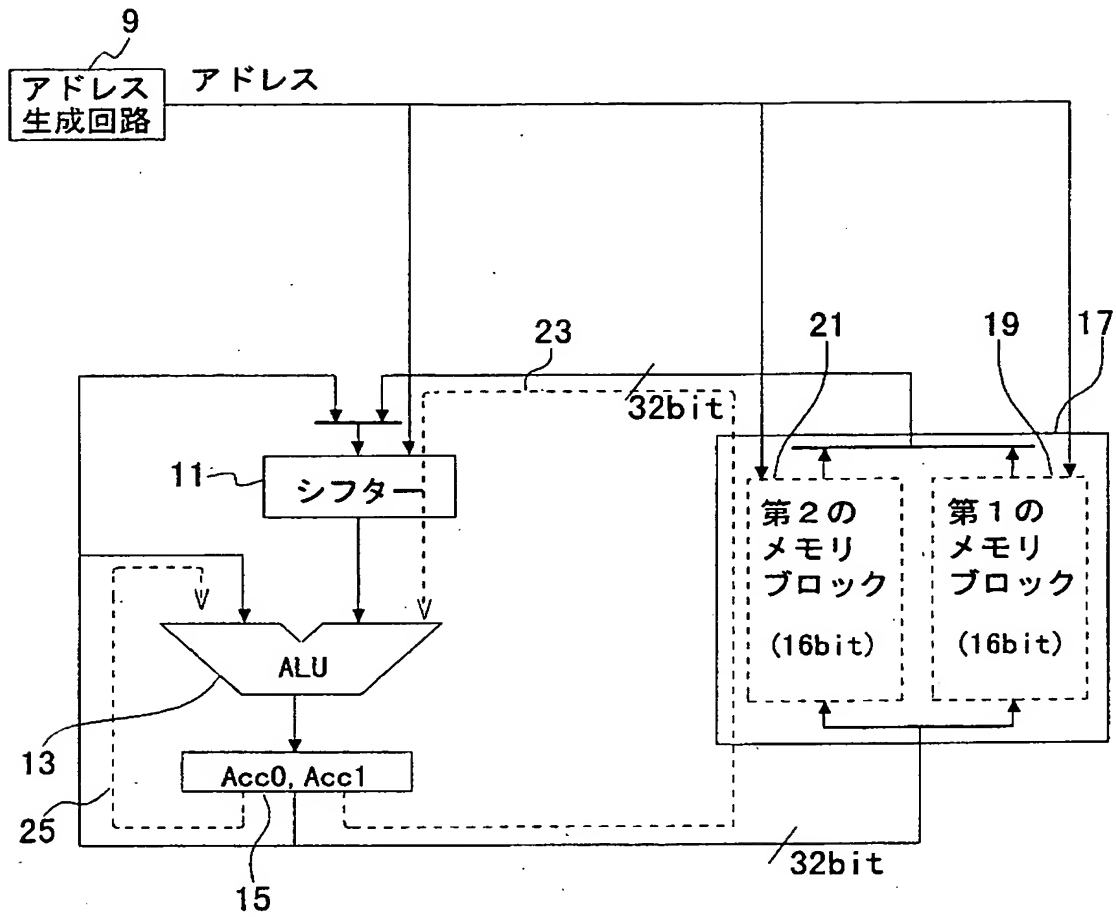
混合回路のシフト動作を示す図

【図9】



混合回路のシフト動作を示す図

【図 1 0】



従来のデータ処理装置の構成を示す図

【图 1 1】

[illegible]

DSPで扱うデータ (論理アドレス)

論理アドレス空間を示す図

【書類名】 要約書

【要約】

【課題】 従来のデータ処理装置は、1ワードが標準的なビット幅でないデータを用いて演算処理する場合に、演算能力やメモリを有効に活用できないという問題点があった。

【解決手段】 10ビット幅の虚数部と10ビット幅の実数部と12ビット幅の未使用部からなる32ビット幅のデータを16ビット幅のメモリに格納する際に、未使用部を削除し、未使用部が存在していた領域に虚数部と実数部を格納するとともに、データを前記メモリから読み出す際に、式1に基づくアドレスAの、式2に基づくビット位置Bから読み出すことを特徴とするデータ処理装置。

$$A = (a / 2) + [(a / 2) / 4] \quad \dots (1)$$

$$B = (a / 2) - 4 [(a / 2) / 4] \quad \dots (2)$$

ただし、aは、10ビット幅の虚数部と10ビット幅の実数部と12ビット幅の未使用部からなる32ビット幅のデータを16ビット幅のメモリに格納する際の論理上のメモリアドレスとする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2002-240182
受付番号	50201233556
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 8月22日

<認定情報・付加情報>

【提出日】	平成14年 8月21日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社